

1/5/6

DIALOG(R) File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03546934 **Image available**

MANUFACTURE OF MIS SEMICONDUCTOR DEVICE

PUB. NO.: 03-209834 [JP 3209834 A]

PUBLISHED: September 12, 1991 (19910912)

INVENTOR(s): HIGUCHI TOSHIHIKO

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
 , JP (Japan)

APPL. NO.: 02-004795 [JP 904795]

FILED: January 12, 1990 (19900112)

INTL CLASS: [5] H01L-021/336; H01L-021/28; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)

JOURNAL: Section: E, Section No. 1142, Vol. 15, No. 482, Pg. 76,
 December 06, 1991 (19911206)

ABSTRACT

PURPOSE: To form a titanium silicide film in a self alignment manner and at the same time, to inhibit an increase in the contact resistance of the titanium silicide film with a polycrystalline silicon film by a method wherein impurity ions are implanted in the silicon film with phosphorus diffused therein to bring the vicinity of the surface of the silicon film into an amorphous state.

CONSTITUTION: A polycrystalline silicon film 3 is formed on a substrate 1 via a gate insulating film 2 and thereafter, phosphorus is diffused in the film 3 and moreover, impurity ions are implanted to bring the vicinity of the surface of the film 3 into an amorphous state. After that, the film 3 is processed into a gate electrode and a wiring, an insulating film is deposited thereon and the whole surface of the substrate 1 is subjected to anisotropic etching to form sidewalls 5 consisting of the insulating film on the side surfaces of the gate electrode. Then, a titanium metal film 6 is formed on the whole surface of the substrate 1, a heating treatment is performed to change titanium into titanium silicide 7 and at the same time, a compound and a metal other than the titanium silicide are selectively removed. Thereby, a titanium silicide film 7 is formed in a selfalignment manner and at the same time, the contact resistance of the film 3 with the titanium silicide film 7 can be reduced.

⑫ 公開特許公報(A) 平3-209834

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月12日

H 01 L 21/336

21/28

3 0 1 T

7738-5F

3 0 1 D

7738-5F

29/784

8422-5F H 01 L 29/78

3 0 1 P

審査請求 未請求 請求項の数 5 (全4頁)

⑮ 発明の名称 MIS型半導体装置の製造方法

⑯ 特 願 平2-4795

⑰ 出 願 平2(1990)1月12日

⑱ 発 明 者 樋 口 俊 彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

MIS型半導体装置の製造方法

2. 特許請求の範囲

(1) 露出した多結晶シリコン表面にチタンシリサイドを自己整合的に形成する半導体装置の製造方法において、半導体基板上にゲート絶縁膜を介して多結晶シリコン膜を形成する工程と、該多結晶シリコン中に膜を拡散する工程と、膜を拡散した多結晶シリコン膜に不純物イオンをイオン注入することにより該多結晶シリコン膜の表面近傍をアモルファス化する工程と、該多結晶シリコン膜をフォトリソ技術とエッチング技術によりゲート電極および配線に加工する工程と、該ゲート電極および配線を形成した半導体基板上に絶縁膜を堆積し、前記半導体基板全面を異方性エッチングする事により前記ゲート電極側面に絶縁膜のサイドウォールを形成する工程と、該サイドウォール

を形成した半導体基板全面にチタン金属膜を形成する工程と、該チタン金属膜を形成した半導体基板を加熱処理することにより露出したシリコン表面および前記ゲート電極上のチタンをチタンシリサイドに変化させる工程と、該チタンシリサイド以外のチタン化合物及びチタン金属を選択的に除去する工程からなることを特徴とするMIS型半導体装置の製造方法。

(2) 前記不純物イオンとしてアルゴンイオンを用いることを特徴とする請求項1記載のMIS型半導体装置の製造方法。

(3) 前記不純物イオンとして燐イオンを用いることを特徴とする請求項1記載のMIS型半導体装置の製造方法。

(4) 前記不純物イオンとして砒素イオンを用いることを特徴とする請求項1記載のMIS型半導体装置の製造方法。

(5) 前記不純物イオンとしてホウ素イオンを用いることを特徴とする請求項1記載のMIS型半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、シリコン表面にチタンシリサイドを選択的に形成した半導体装置の製造方法に関する。

〔従来の技術〕

従来のシリコンの表面にチタンシリサイドを選択的に形成した構造を有する半導体装置の製造方法において、特にゲート電極として多結晶シリコンを用い該ゲート電極の多結晶シリコンの表面にチタンシリサイドを形成する半導体装置の製造方法においては、多結晶シリコンに導電性をもたすために多結晶シリコン中に不純物として燐を拡散していたがこの燐濃度が高くなって多結晶シリコン中に過飽和になってくるとチタンとシリコンの反応が抑制されシリサイドになり難くなるため、従来技術の半導体装置の製造方法では多結晶シリコン中に拡散する燐の濃度を低くしていた。

〔発明が解決しようとする課題及び目的〕

しかしながら前述の従来技術の製造方法を用いて相補型のMIS型トランジスタを形成すると、ゲート電極としての多結晶シリコン中の燐濃度が低いため、Pチャンネル側にソース・ドレインにする不純物拡散層を形成するときに注入されるP型の不純物であるホウ素がゲート電極中にも注入されるためN型の不純物の燐が発生するキャリアとしての電子数が減少しゲート電極の抵抗が高くなったり、トランジスタのスウィッチング特性であるしきい値電圧が変化する問題を有していた。またゲート電極中のキャリアの濃度が低くいたため多結晶シリコン表面に形成したチタンシリサイドと多結晶シリコンの接触抵抗も高くなり半導体装置の動作不良の原因になることや半導体装置の高速動作をできなくする問題点を有していた。

そこで、本発明はこのような課題を解決しようとするもので、その目的とするところは、ゲート電極としての多結晶シリコン表面にチタンシリサイドを自己整合的に形成し同時にゲート電極の配

-3-

線抵抗の増加やトランジスタのしきい値電圧の変化、チタンシリサイドと多結晶シリコンの接触抵抗の増加を抑えた半導体装置の製造方法を提供するところにある。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、露出した多結晶シリコン表面にチタンシリサイドを自己整合的に形成する半導体装置の製造方法において、半導体基板上にゲート絶縁膜を介して多結晶シリコン膜を形成する工程と、該多結晶シリコン中に燐を拡散する工程と、燐を拡散した多結晶シリコン膜に不純物イオンをイオン注入することにより該多結晶シリコン膜の表面近傍をアモルファス化する工程と、該多結晶シリコン膜をフォトリソ技術とエッチング技術によりゲート電極および配線に加工する工程と、該ゲート電極および配線を形成した半導体基板上に絶縁膜を堆積し、前記半導体基板全面を異方性エッチングする事により前記ゲート電極側面に絶縁膜のサイドウォールを形成す

る工程と、該サイドウォールを形成した半導体基板全面にチタン金属膜を形成する工程と、該チタン金属膜を形成した半導体基板を加熱処理することにより露出したシリコン表面および前記ゲート電極上のチタンをチタンシリサイドに変化させる工程と、該チタンシリサイド以外のチタン化合物及びチタン金属を選択的に除去する工程からなることを特徴とする。

また前記不純物イオンとしてアルゴンイオン、または燐イオン、または砒素イオン、またはホウ素イオンを用いることを特徴とする。

〔実施例〕

第1図(a)～(g)は本発明の実施例であり、本発明の半導体装置の製造方法を工程を追って示した半導体装置の断面図である。以下この図にしたがって本発明の半導体装置の製造方法を本実施例として説明する。

第1図(a)に示すように半導体装置のシリコン基板1上にゲート絶縁膜2を介して多結晶シリ

-5-

-6-

コン膜3を形成する。本実施例ではこの第1の多結晶シリコン膜の膜厚は4000Åとする。多結晶シリコン膜は不純物を含まない状態ではほとんど導電性はない。そこで本実施例としては第1図(b)で示すように半導体基板をオキシ塩化燐雰囲気中において900℃で加熱処理することにより多結晶シリコン膜中に不純物として燐を熱拡散することによりN型の半導体として導電性をもたせた。熱拡散により注入される燐の濃度はPチャンネルのソース・ドレインの不純物拡散層形成のために注入されるホウ素の濃度より1桁以上高く拡散しておく。このように高い温度に燐を含んでいる多結晶シリコンに対してチタンはシリサイドを作りにくい。次に第1図(c)で示すように燐を拡散した多結晶シリコン膜1中に不純物イオンをイオン注入する。本実施例では一例としてアルゴンイオンをイオン注入することにする。注入されたアルゴンイオンは多結晶シリコンの結晶性を破壊し非晶質化するため結果として多結晶シリコンの表面近傍はアモルファス化したシリコン層4

-7-

させシリコンと接触している部分のチタンを選択的にチタンシリサイドに変化させる。本発明の実施例としては、窒素ガス中でのハロゲンランプによる光照射による短時間アニールにより30秒間750℃に半導体基板表面を加熱する。この加熱によりアモルファス化した多結晶シリコン表面のシリコン層および半導体基板のシリコンでシリコン表面がチタンと接触している部分が反応してチタンシリサイドとなる。またサイドウォールの絶縁膜上および素子分離の絶縁膜上のチタンのほとんどは窒素と反応して窒化チタンとなる。また多少はチタンのまま残っているがチタンシリサイド以外のチタン化合物はアンモニア水と過酸化水素水の混合液で溶かすことができる。本実施例ではこの方法を用いてチタンシリサイドのみを残しサイドウォール上や素子分離絶縁膜上のチタン金属およびチタン化合物を除去することにより第1図(g)に示すように露出したシリコン基板上、およびゲート電極と配線である多結晶シリコン上に選択的にチタンシリサイド7を形成することがで

-9-

となる。アモルファス化したシリコンはチタンと反応してチタンシリサイドになり易い。この多結晶シリコン膜とアモルファスシリコン層をフォトリソ技術及びエッチング技術によりゲート電極および配線以外の部分を除去することにより第1図(d)の様に半導体基板上にゲート電極および配線を形成する。次にこの半導体基板上の全面に絶縁膜を形成する。一実施例としてこの絶縁膜は400℃程度の温度での化学的気相成長法によるSiO₂を主成分とする絶縁膜で膜厚は5000Åで形成した。この絶縁膜を全面に渡ってフロン系ガスのプラズマ中での異方性エッチングによりゲート電極および配線の側面のみを残しそのほかの部分は除去することにより、第1図(e)に示すようにゲート電極および配線の側面に絶縁膜からなるサイドウォール5を形成する。この後第1図(f)に示すように半導体基板全面にチタン金属膜6を形成する。本実施例としてこのチタン金属膜の膜厚は500Åである。この半導体基板に加熱処理を行なうことによりシリコンとチタンを反応

-8-

きた。

以上実施例として述べてきた本発明の半導体装置の製造方法によれば、不純物イオンのイオン注入によりアモルファス化したシリコン層4はチタンと反応しやすくチタンシリサイドになりやすいのに対し多結晶シリコン膜3は不純物として燐を多量に含んでいるためチタンとの反応が抑制される。すなわちアモルファス化したシリコン層4をすべてチタンシリサイド7にでき、かつ多結晶シリコン膜3はそのまま残るためゲート電極上および配線上にチタンシリサイドを制御性よく形成することができる。さらにゲート電極および配線上に形成されたチタンシリサイドは高温度に燐を含んだ多結晶シリコンと接触しているため従来技術の問題であったチタンシリサイドと多結晶シリコンの接触抵抗は低減している。

さらに以上の実施例で述べてきたように多結晶シリコンは高濃度に燐を含んでいるためPチャンネルのソース・ドレインを形成するための不純物であるホウ素の注入拡散によっても燐の濃度はほ

-10-

とんど変化しないためPチャンネル側のゲート電極の抵抗が高くなったり、トランジスタのしきい値電圧が変化することはなくなった。

また以上の実施例においては多結晶シリコンの表面近傍の結晶性を破壊してアモルファス化する不純物イオンとしてアルゴンイオンを例に説明してきたがアルゴンイオンの他に燐や砒素、ホウ素などのイオンを用いても特に以上の実施例で述べてきた作用と異なるものではなく、本発明の半導体装置の製造方法と異なるものではない。

【発明の効果】

以上述べたように、本発明によれば以下に列举するような効果を有する。

(1) ゲート電極として高濃度に燐を含んだ多結晶シリコン上にチタンシリサイドを制御性よく形成することができた。

(2) またゲート電極および配線である多結晶シリコンとチタンシリサイドとの接触抵抗を低減さ

せることができた。このことは半導体装置の高速動作において非常に有利である。

(3) 従来技術におけるシリコン表面に自己整合的にチタンシリサイドを形成する技術で問題であったPチャンネル側のゲート電極の抵抗が高くなる問題やPチャンネルトランジスタのしきい値電圧が変化する問題を解決できた。

4. 図面の簡単な説明

第1図(a)～(g)は、本発明の半導体装置の製造方法を工程を追って示した半導体装置の断面図。

- | | | |
|---|-------|----------------|
| 1 | | シリコン半導体基板 |
| 2 | | ゲート絶縁膜 |
| 3 | | 多結晶シリコン膜 |
| 4 | | アモルファス化したシリコン層 |
| 5 | | サイドウォール |
| 6 | | チタン金属 |
| 7 | | チタンシリサイド |

-11-

-12-

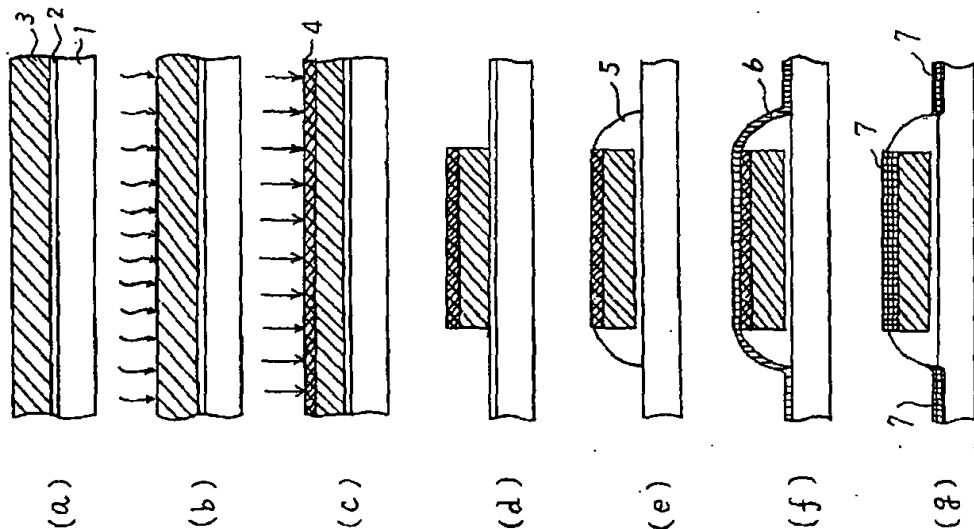


図 1